

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-252673

(43)Date of publication of application : 28.09.1993

(51)Int.Cl.

H02J 9/06
G01R 19/165
H02J 1/00
H05K 10/00

(21)Application number : 04-083085

(71)Applicant : HONDA MOTOR CO LTD

(22)Date of filing : 05.03.1992

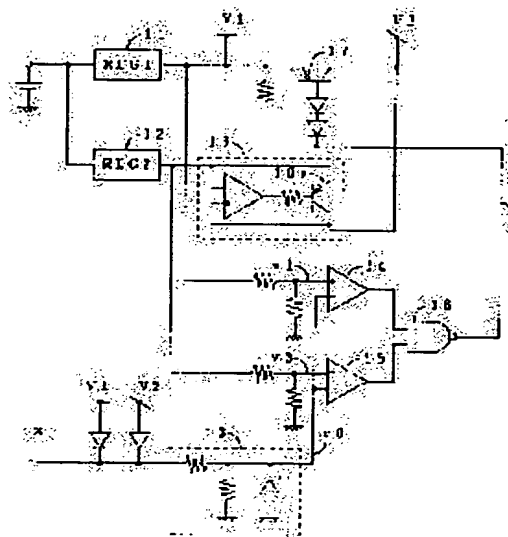
(72)Inventor : ASAUMI TOSHIO

(54) POWER SUPPLY

(57)Abstract:

PURPOSE: To provide a highly reliable power supply.

CONSTITUTION: A main regulator 11 outputs voltage slightly higher than that of a subregulator 12. When both regulators 11, 12 are operating normally, outputs from comparators 14, 15 go Low and an L level signal (a) is outputted from a gate 16. When the signal (a) has L level, a transistor 17 is turned ON and output voltage of the main regulator 11 is fed to both power supply terminals V1, V2. When the output voltage of the main regulator 11 drops due to abnormality, output signal (a) from the gate 16 goes H and the transistor 17 is turned OFF. Consequently, the power supply voltage V2 is disconnected from the main regulator 11 and voltage is supplied from the subregulator 12.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-252673

(43)公開日 平成5年(1993)9月28日

(51)IntCl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 2 J 9/06	D	8021-5G		
G 0 1 R 19/165	K			
H 0 2 J 1/00	3 0 9 B	7373-5G		
H 0 5 K 10/00		7128-4E		

審査請求 未請求 請求項の数 2(全 5 頁)

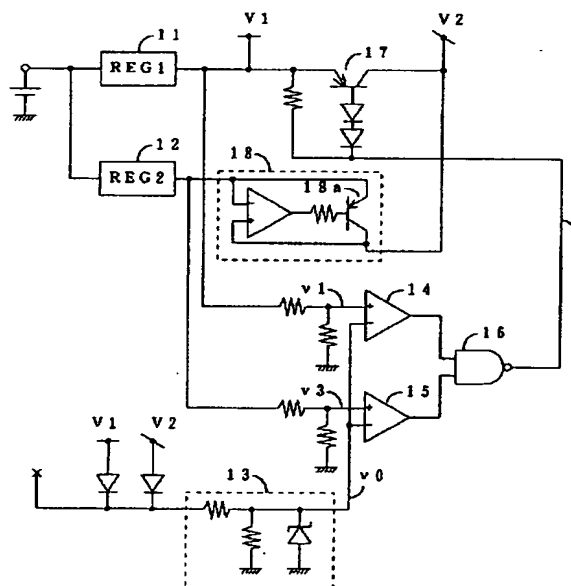
(21)出願番号	特願平4-83085	(71)出願人	000005326 本田技研工業株式会社 東京都港区南青山二丁目1番1号
(22)出願日	平成4年(1992)3月5日	(72)発明者	浅海 壽夫 埼玉県和光市中央一丁目4番1号 株式会 社本田技術研究所内
		(74)代理人	弁理士 平木 道人 (外1名)

(54)【発明の名称】 電源装置

(57)【要約】

【目的】 信頼性の高い電源装置を提供すること。

【構成】 メインレギュレータ11はサブレギュレータ12より若干高い電圧を出力する。両レギュレータ11、12が正常に動作している時には、比較器14、15の出力は共にクレベルとなり、ゲート16からはLレベルの信号aが出力される。信号aがLレベルの時には、トランジスタ17がオンになり、電源端子V1とV2の両方に、メインレギュレータ11の出力電圧が供給される。しかし、メインレギュレータ11が異常になり、出力電圧が低下すると、前記ゲート16の出力信号aはHレベルになり、トランジスタ17はオフになる。この結果、電源端子V2はメインレギュレータ11から切り離され、サブレギュレータ12から電圧の供給を受けることになる。



【特許請求の範囲】

【請求項1】異なる電源電圧を出力するメインおよびサブレギュレータと、
該メインレギュレータが正常に動作している時には該メインレギュレータから電圧の供給を受け、異常になった時には該サブレギュレータから電圧の供給を受ける電源端子と、
該電源端子の出力電圧レベルから該メインレギュレータの異常を検知する手段とを具備したことを特徴とする電源装置。

【請求項2】前記電源端子の出力をシステムの監視装置に供給し、該監視装置がメインレギュレータから電源の供給を受けているシステムを監視することにより、該メインレギュレータの異常を検知するようにしたことを特徴とする請求項1記載の電源装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は電源装置に関し、特に電源に冗長性をもたせると共に、メイン電源の故障を検出できる電源装置に関する。

【0002】

【従来の技術】高信頼性が要求されるエレクトロニクスの分野においては、装置の高信頼性を保証するために、システムに冗長性をもたせたり、該システムが正常に動作しているか否かを監視させたりしている。

【0003】図3は前記システムに冗長性をもたせた例であり、第1のシステム1と第2のシステム2とを同時に動作させて、第1のシステム1に何らかの故障が発生した場合、第2のシステム2を採用するようにしている。

【0004】また、図4はシステムを監視するようにした例であり、第1のシステム1の動作を監視システム4で監視し、監視結果を図示されていないマイクロコンピュータ等の制御装置に送ったり、警報装置に送ったりして、第1のシステム1の異常をいち早く認識できるようにしている。

【0005】また、他の従来例として、前記図3と図4の両方式を採用した（冗長＋監視）型システムもある。

【0006】

【発明が解決しようとする課題】しかしながら、前記の従来装置においては、電源系、すなわちレギュレータ3に異常が発生した場合、システムの正常な動作を保証できないという問題があった。

【0007】この発明の目的は、前記した従来装置の問題点を除去し、信頼性の高い電源装置を提供することにある。

【0008】

【課題を解決するための手段】前記目的を達成するために、本発明は、異なる電源電圧を出力するメインおよびサブレギュレータと、該メインレギュレータが正常に動

作している時には該メインレギュレータから電圧の供給を受け、異常になった時には該サブレギュレータから電圧の供給を受ける電源端子と、該電源端子の出力電圧レベルから該メインレギュレータの異常を検知する手段とを具備した点に特徴がある。

【0009】

【作用】本発明によれば、メインおよびサブレギュレータから異なる電源電圧を出力し、メインレギュレータの正常時にはメインレギュレータから電源電圧を得、異常時にはサブレギュレータから電源電圧を得るようにしたので、電源装置の信頼性を高めることができると共に、メインレギュレータの異常を検知することができるようになる。

【0010】

【実施例】以下に、図面を参照して、本発明を詳細に説明する。図1は本発明の一実施例の電源装置の回路図を示す。

【0011】図において、11はメインレギュレータ（以下、M-REGと呼ぶ）であり、12はサブレギュレータ（以下、S-REGと呼ぶ）である。前記M-REG 11およびS-REG 12は、前者の出力電圧V1が後者の出力電圧より若干の所定電圧 ΔV だけ高くなるように、それぞれ設計されている。例えば、M-REG 11の出力電圧V1が5Vであれば、S-REG 12の出力電圧は4.5Vになるように、設計されている。

【0012】13は基準電圧 v_0 を発生する基準電圧発生回路であり、分圧抵抗とツェナダイオードから構成されている。14、15はそれぞれ第1、第2の比較器であり、前記基準電圧 v_0 と、前記M-REG 11およびS-REG 12の出力電圧を分圧した電圧 v_1 、 v_3 を入力としている。

【0013】M-REG 11およびS-REG 12が正常に動作している時には、図2に示されているように、 $v_1 > v_0$ 、 $v_3 > v_0$ の条件が満たされ、ゲート16の出力信号aはLレベルになっている。

【0014】17はトランジスタであり、前記信号aがLレベルの時に導通する。18はシフトアップ回路であり、前記トランジスタ17のコレクタ電圧V2がS-REG 12の出力電圧より高い時に、トランジスタ17を通った電流がS-REG 12に流れ込むのを阻止する働きをしている。

【0015】いま、M-REG 11およびS-REG 12が正常な動作をしているとすると、M-REG 11はV1の電圧を出力し、S-REG 12は該電圧V1より ΔV だけ低い電圧V3を出力する。この出力電圧V1、V3は、それぞれ分圧された後、比較器14、15において、基準電圧 v_0 と比較され、ゲート16に入力する。前記のように、M-REG 11およびS-REG 12が正常な動作をしている時には、 $v_1 > v_0$ 、 $v_3 > v_0$ の条件が満たされるので、ゲート16の出力信号

aはLレベルとなる。この結果、トランジスタ17は導通し、電源電圧V2はM-REG11の出力電圧V1とほぼ等しくなる。

【0016】この電源電圧V1及びV2は、前記した図3の第1、第2のシステム1、2、あるいは図4の第1のシステム1、監視システム4の電源となる。よって、これらの各システムは、M-REG11の出力電圧V1の供給を受け、M-REG11が規定の電圧V1を出力している間、正常な動作をする。

【0017】さて、M-REG11が図2の時刻t1において異常となり、その出力電圧が低下すると、前記比較器14の出力がLレベルとなる。この結果、ゲート16の出力信号aはHレベルとなり、トランジスタ17は非導通になる。このため、前記電源電圧V2はM-REG11から切り離される。この時、前記シフトアップ回路18のトランジスタ18aは導通し、電源電圧V2はS-REG12から電源電圧を受けることになる。すなわち、前記電圧V1より ΔV だけ低い電圧V3を出力するようになる。

【0018】上記のように、M-REG11が異常となり、その出力電圧が低下すると、図3のシステムの場合には、第2のシステム2が電源電圧V3により駆動されることになり、システムの動作は保証される。また、第2のシステム2が電源電圧V3により駆動されると、その出力データを受信するマイクロコンピュータはその電圧レベルからM-REG11に異常があったことを検知する。そして、警報装置を作動させるので、ユーザはM-REG11に異常があったことを知り、これに対処することができる。

【0019】また、図1の電源装置が図4のシステムの電源であった場合には、前記電源電圧V3は監視システ

＊ム4の電源となり、監視システム4は作動を続行する。よって、M-REG11の異常により第1のシステム1が異常になると、監視システム4はこれを検知し、監視出力としてマイクロコンピュータに通知することができる。この結果、M-REG11の異常はいちはやくユーザに通知されることになり、M-REG11の異常に対処できるようになる。

【0020】なお、M-REG11の異常の検知は前記した方式に限定されず、ゲート16の出力信号aをマイクロコンピュータに導き、この信号aのレベルになった時に、M-REG11が異常になったと判定するようにしてもよい。

【0021】

【発明の効果】以上の説明から明らかなように、本発明によれば、電源に冗長性をもたせ、かつ両レギュレータの出力電圧を異なるものにしたから、電源の信頼性を高めると共に、メインレギュレータの異常を検知することができるようになる。

【図面の簡単な説明】

【図1】 本発明の一実施例の回路図である。

【図2】 図1の要部の信号のタイミングチャートである。

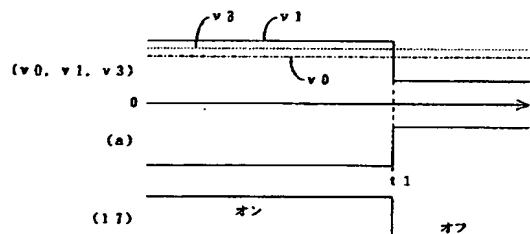
【図3】 従来の高信頼性システムの一例を示す図である。

【図4】 従来の高信頼性システムの他の例を示す図である。

【符号の説明】

11…メインレギュレータ、12…サブレギュレータ、13…基準電圧発生回路、14、15…比較器、16…ゲート、17…トランジスタ、18…シフトアップ回路

【図2】



The circuit diagram shows a digital logic circuit. It includes two registers, REG 1 (11) and REG 2 (12), which are connected to a common ground. REG 1 is connected to a series of three diodes (17) in series with a resistor. REG 2 is connected to a series of three diodes (18) in series with a resistor. The output of the diode series connected to REG 1 is labeled V1. The output of the diode series connected to REG 2 is labeled V2. The circuit also includes two inverters (14 and 15), a NAND gate (16), and a series of three diodes (13) in series with a resistor. The output of the NAND gate is labeled 'a'. The circuit is powered by a common ground.

The diagram shows a Register (REG) block (3) connected to a power source and ground. It provides control signals V1 and V2 to two parallel processing blocks, System A (1) and System A' (2). Both systems share a common input data line (入力データ) and a common output data line (出力データ). System A is connected to ground, while System A' is connected to a separate ground symbol.

【図4】

